

## ⑫ 公開特許公報(A)

平4-23453

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

④公開 平成4年(1992)1月27日

H 01 L 21/82

8225-4M H 01 L 21/82

F

審査請求 未請求 請求項の数 14 (全8頁)

⑤4発明の名称 レーザによる配線切断加工方法及びレーザ加工装置

②1特 願 平2-126691

②2出 願 平2(1990)5月18日

⑦2発 明 者 宮 内 建 興 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦2発 明 者 本 郷 幹 雄 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦2発 明 者 丸 山 重 信 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦2発 明 者 水 越 克 郎 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦1出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦4代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 明 細 書

## 1. 発明の名称

レーザによる配線切断加工方法及び  
レーザ加工装置

## 2. 特許請求の範囲

1.  $10^{-9}$ 秒以下のパルス幅のレーザ光を配線上の所望箇所に照射し、上記配線の下層に対してダメージを与えることなく、上記配線を切断加工することを特徴とするレーザによる配線切断加工方法。
2. 上記レーザ光を所望形状に形成したパターン投影により上記配線幅にほぼ合わせるように照射することを特徴とする請求項1記載のレーザによる配線切断加工方法。
3. 上記パターン投影として、投影マスクを用いることを特徴とする請求項2記載のレーザによる配線切断加工方法。
4. 上記投影マスクに現出させるパターンを、撮像した配線の像として照射域合わせをセルフアライメントで行うことを特徴とする請求項3記

載のレーザによる配線切断加工方法。

5.  $10^{-9}$ 秒以下のパルス幅のレーザ光を、半導体装置の配線上の所望箇所に照射し、上記配線の下層に対してダメージを与えることなく、上記配線を切断加工することを特徴とするレーザによる配線切断加工方法。
6. 上記配線がLSIメモリの欠陥ビット救済用のリンクであることを特徴とする請求項5記載のレーザによる配線切断加工方法。
7. 上記下層としてLSIメモリのSi等の基板であることを特徴とする請求項6記載のレーザによる配線切断加工方法。
8. 上記レーザ光を所望形状に形成したパターン投影により上記配線幅にほぼ合わせるように照射することを特徴とする請求項5記載のレーザによる配線切断加工方法。
9.  $10^{-9}$ 秒以下のパルス幅のレーザ光を、高密度多層配線基板の配線上の所望箇所に照射し、上記配線の下層に対してダメージを与えることなく、上記配線を切断加工することを特徴とす

るレーザによる配線切断加工方法。

10. 上記高密度多層配線基板として、薄膜多層基板で形成したことを特徴とする請求項9記載のレーザによる配線切断加工方法。
11. 上記レーザ光を所望形状に形成したパターン投影により上記配線幅にほぼ合わせるように照射することを特徴とする請求項9記載のレーザによる配線切断加工方法。
12.  $10^{-9}$ 秒以下のパルス幅で高出力のレーザ光を出力するレーザ光源と、該レーザ光源から出力されたレーザ光を所望のパターンに形成して被加工物に投影する投影光学系とを備えたことを特徴とするレーザ加工装置。
13. 上記投影光学系として、透過型液晶マスクを有することを特徴とする請求項12記載のレーザ加工装置。
14. 更に、上記投影パターンの像と被加工物の像とを撮像して表示する撮像・表示手段を備えたことを特徴とする請求項12または13記載のレーザ加工装置。

3

〔発明が解決しようとする課題〕

上記従来技術では、ダメージを与えずに加工できるレーザパワーの有効範囲が狭く、かつ、レーザ光が配線から外れるとなおダメージが発生しやすい等の課題があった。

本発明の目的は、半導体装置や高密度配線基板に対し、下層の基板や配線等にダメージを与えることなく、広いレーザパワー範囲に亘って配線切断加工ができるようにしたレーザによる配線切断加工方法を提供することにある。

また、本発明の他の目的は、被加工物に対し、所望のパターンを投影して広いレーザパワー範囲に亘ってレーザ加工できるようにしたレーザ加工装置を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明は $10^{-9}$ 秒以下のパルス幅のレーザ光を、半導体装置又は高密度多層配線基板の配線上の所望箇所に照射し、上記配線の下層に対してダメージを与えることなく、上記配線を切断加工することを特徴とするレ

### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は配線材料のレーザ切断に関する。特に、半導体装置や高密度配線基板の配線変更にレーザ切断を周辺にダメージなく実施するレーザによる配線切断加工方法及びレーザ加工装置に関する。

〔従来の技術〕

従来、レーザによるLSI配線切断技術については、冗長化技術として、アイ・イー・イー・イー ジャーナル オブ ソリッド・ステートサーキット、エス・シー16巻5号1981年10月号第506頁から第513頁 (IEEE Journal of Solid-State Circuits, vol, SC-16, No.5, Oct. 1981, pp506~513) において述べられている。

また、他の従来技術として、LSIの $\Delta$ 配線の切断についてアナルズ オブ ザ シーアイアールピー28/1巻1979年号第113頁から第116頁 (Annals of the CIRP Vol.28/1, 1979, pp113~116) に述べられている。

4

ーザによる配線切断加工方法である。

また本発明は、上記レーザによる配線切断加工方法において、上記レーザ光を所望形状に形成したパターン投影により上記配線幅にほぼ合わせるように照射することを特徴とするレーザによる配線切断加工方法である。

また本発明は、上記レーザによる配線切断加工方法において、上記パターン投影として、投影マスクを用いることを特徴とするレーザによる配線切断加工方法である。

また本発明は、上記レーザによる配線切断加工方法において、上記投影マスクに現出させるパターンを、撮像した配線の像として照射域合わせをセルフアライメントで行うことを特徴とするレーザによる配線切断加工方法である。

また本発明は、上記レーザによる配線切断加工方法において、上記配線がLSIメモリの欠陥ビット救済用のリンクであることを特徴とするレーザによる配線切断加工方法である。

また本発明は、上記レーザによる配線切断加工

方法において、上記高密度多層配線基板として、薄膜多層基板で形成したことを特徴とするレーザーによる配線切断加工方法である。

また、上記他の目的を達成するために、本発明は、 $10^{-9}$ 秒以下のパルス幅で高出力のレーザー光を出力するレーザー光源と、該レーザー光源から出力されたレーザー光を所望のパターンに形成して被加工物に投影する投影光学系とを備えたことを特徴とするレーザー加工装置である。

また、本発明は上記レーザー加工装置において、上記投影光学系として、透過型液晶マスクを有することを特徴とするレーザー加工装置である。

また、本発明は上記レーザー加工装置において、更に、上記投影パターンの像と被加工物の像とを撮像して表示する撮像・表示手段を備えたことを特徴とするレーザー加工装置である。

即ち本発明は、レーザー光源のパルス幅を、除去現象の起るより短いパルスにし、レーザー光の照射域を、液晶投影マスクにより、加工される配線の幅に成形して照射するようにしたことにより、正

確に照射できるようにし、また、広いパワー範囲でダメージなく加工できるようにしたものである。

〔作用〕

レーザー光による配線切断除去加工においては、熱現象としての飛散除去が起るには、 $1\text{ ns}$ 以上の時間を要することを見出したことにある。そこで、本発明者は、パルス幅が $1\text{ ns}$ 以下のパルスで高出力のレーザー光を、半導体装置又は高密度多層配線基板上の配線の所望箇所照射して配線切断加工を行えば、配線材料が無くなった跡に、レーザーパルスが侵入することは起こらないと見出した。即ち、パルス幅が $1\text{ ns}$ 以下のパルスレーザー光であれば、配線切断加工ができるように照射レーザーのパワーが大きくなってもレーザーパルスが続いている間（ $1\text{ ns}$ 以下）は、配線材料が元の場所に存在し、全てのレーザーエネルギーを配線材料が受け止めることになる。このため、半導体装置又は高密度多層配線基板において、熱伝導率の低い $\text{SiO}_2$ 等の絶縁膜をはさんで下層に存在する $\text{Si}$ 等の基板又は薄膜配線はレーザー光にさらされ

ることがなく、ダメージを発生させることがない。なお、配線切断に要するピークパワー $P$ は概略パルス幅 $S$ の2重根に反比例し、次のような関係にある。

$$P = K \sqrt{\frac{S_0}{S}} P_0$$

ここで、 $P_0$ 、 $S_0$ は元のピークパワーと元のパルス幅であり、 $K$ は比例定数である。

従って、パルス幅を従来の $100\text{ ns}$ 前後から本発明のように、例えば $100\text{ ps} \sim 300\text{ ps}$ 前後に2桁短くするとピークパワーは従来より約10～20倍前後大きくする必要がある。但し、必要となるエネルギー $E$ は、ピークパワーとパルス幅の積、 $E = P \cdot S$ であるため、 $K$ が1前後の場合はパルス幅の2重根に比例し、従来より1桁程度少なくてすむ。しかし、全てのレーザーエネルギーを配線材料が受け止める関係で、下層へのダメージを及ぼすことなく、配線を切断することができる。

この様子を図に示すと第4図のようになる。 $\text{Al}$ の沸点は約 $2270^\circ\text{C}$ である。そこで、 $1\text{ ns}$ 以下の短いパルス幅のレーザー光が、例えば $\text{Al}$ 等の

配線表面に照射されると、そのエネルギー吸収は $10^{-15}\text{ sec}$ 前後の短い時間で行われ、一方、そのエネルギーが $\text{Al}$ 等の配線内において熱に変換するには、 $1\text{ ns}$ 前後の時間を必要とすることを見出した。従って、 $1\text{ ns}$ 以下の短いパルスレーザー光であれば、いくら強いパルスレーザー光を照射しても、いくら強いレーザー光を照射しても、照射された配線が熱現象による変化を起こす前に、レーザーパルスの照射が終了するため、熱現象による除去のあとにレーザー光が侵入することは起りえず、配線の下層にダメージを及ぼすことなく、配線の所望箇所を切断することができる。

また、レーザー照射の領域を液晶投影マスク等で配線の所望箇所の位置（幅）寸法に正確に整合させることができるため、配線外にレーザー光が当たることがなく、周辺及び下層にダメージを発生させることもなく、正確な除去加工を行うことができる。

〔実施例〕

以下、本発明の一実施例を第1図により説明す

る。

数  $m j o u l$  でパルス幅が  $1 n s$  以下 ( $100 \sim 300 p s$ ) のピコ秒レーザ 1 から出たレーザ光 2 は反射ミラー 3 で  $90^\circ$  屈折され、透過形液晶マスク 4 に導かれる。そして液晶マスク 4 の光透過パターン部を通った光 5 は観察用ハーフミラー 6 と投影加工レンズ 7 を通過して、液晶パターンの像が投影される形で半導体装置又は高密度多層基板等の被加工物 8 の表面に照射される。被加工物 8 は X Y テーブル 9 に載せられて、テーブル制御電源 10 によって自動運転される。液晶マスク 4 は投影パターン照明ランプ 11 によって照明されており、被加工物 8 は物体照明ランプ 12 によりハーフミラー 13 を介して照明されている。ハーフミラー 13 の後方には撮像管または固体撮像素子などよりなる撮像器 14 を配し、被加工物 8 の加工部を撮像する。撮像された像は画像判定処理器 15 に入り、その像のレーザ照射すべき場所をパターン認識し、その像 16 とレーザ照射すべきエリア 17 を T V モニタ 18 上に出すとともに、液晶パターン制御器 19 にその



のパターン発生状態の例である。液晶マスクのエリアに対応する部分の被加工物の像 32 は第 3 図に示すように大容量 L S I メモリーの欠陥ビット救済リンクである。外側を不純物をドーピングしたガードリング 33 で囲まれた例えば P o l y - S i 等の救済リンク 34 a ~ 34 d の 4 本が示されている。そのうち、加工位置入力器 21 によって与えられた情報により、34 b と 34 d のリンクを切断しようとしていることを示している。そして第 2 図 (b) に示す如く、液晶マスクは 35 a と 35 b だけがレーザ光を透過する領域としてパターンが発生されている。第 2 図 (c) に示した a はこのパターンにより投影照射されたレーザ光により加工が行われた救済リンクの加工後の状態である。このように複数のリンクを 1 回の加工で正確に切断することができるようになった。

例えば、大容量の半導体メモリチップは数万~数十万個の機能素子を数  $m m$  角のチップ内に作るため、生産歩留りを上げるのには大変な困難をとまなう。そこで予備のメモリーセルをチップ内に

信号を送り込み、液晶マスク 4 に、照射すべきエリア 17 に相当する部分を透過パターンとして正確に半導体装置又は高密度多層基板 8 上の配線の所望箇所に整合するように発生させる。そして、液晶マスクパターンが照射されるべきエリアに作られ、配線の所望箇所に投影パターン照明ランプで正確に照明されていることが撮像器 14 と画像判定処理器 15 で確認されると画像判定処理器 15 からレーザ照射信号がレーザ電源制御部 20 に送られ、レーザ発振が行われる。かくして、レーザ加工部の必要な箇所のみに正確にレーザ照射できるようになった。

また、画像判定処理器 15 に、複数の照射箇所の位置情報を与える加工位置入力器 21 を接続し、情報入力を与えることにより、投影加工により、一度に複数の箇所のレーザ加工を行うことができ、L S I メモリビット救済等について大幅に処理速度を上げることができるようになった。

第 2 図は本発明の一実施例で、(a) は被加工物の撮像表示例である。また (b) は液晶マスク

12

設けておき、切換用配線をレーザで切断することにより、欠陥の発生したメモリーを外し、予備のメモリーを接続することができる。即ち大容量 L S I メモリーの欠陥ビット救済の場合、第 3 図に示すように形成されている。第 3 図 (a) はその平面構成を、第 3 図 (b) はその断面構成を示す。即ち A l 配線 35 に接続された P o l y - S i 等の切換用配線 34 に約  $10^6 \sim 10^9 w / c m$  のパワーでピコ秒レーザ光を投影パターンとして配線幅にほぼ合せて照射し、この切換用配線 34 の所望箇所を切断する。これにより、予備のメモリーに接続することができる。切換用配線 34 は基板 S i 37 の上に敷かれた絶縁用熱酸化膜 S i O<sub>2</sub> 38 の上に形成され、その材料は、P o l y - S i や、A l, 金、銅、ニッケル等が用いられる。その上に S i O<sub>2</sub> 膜 (保護膜) 39 をコートし、保護膜としている。しかし、上記実施例によれば、全てのレーザエネルギーが切換用配線 34 で受け止められ、熱伝導率の低い S i O<sub>2</sub> 等の絶縁膜 38 をはさんで下層に存在する S i 等の基板 37 はレーザ光にさらされるこ



14

となく、切換用配線34の所望箇所35が切断でき、S i等の基板37にダメージの発生を防止することができる。

また前記実施例ではL S Iメモリの欠陥ビット救済の場合について説明したが、薄膜多層構造を有する半導体装置又は高密度多層基板へも適用できることは明かである。即ち、下層の薄膜配線にダメージを与えることなく、上層の薄膜配線を切断することができる。

#### 〔発明の効果〕

以上説明したように本発明によれば、レーザー光により下層にダメージを与えることなく、容易に配線を切断加工することができる。(第5図に示す)。

また本発明によれば、液晶投影による自己整合方式を用いたことにより、正確にレーザー照射ができるようになったため、切断すべきリンクの外にレーザーが当たってダメージを起すということがなくなった。

また、本発明によれば1回での加工域を一つに

限定されなくなったため、加工効率が大幅に上がった。

また、本発明によれば液晶マスクを用いたことにより、電気的にパターンの変更ができるため、十分高速に次々と新しい場所をマスキング加工できるようになった。

#### 4. 図面の簡単な説明

第1図は本発明のレーザー加工装置の一実施例を示す構成図、第2図は第1図に示す装置を半導体メモリのビット欠陥救済に適用した場合の投影パターン発生と配線切断結果とを示す図、第3図は半導体メモリのビット欠陥救済リンクの平面と断面とを示す図、第4図は本発明の作用を示す図、第5図は本発明の作用効果を示す図である。

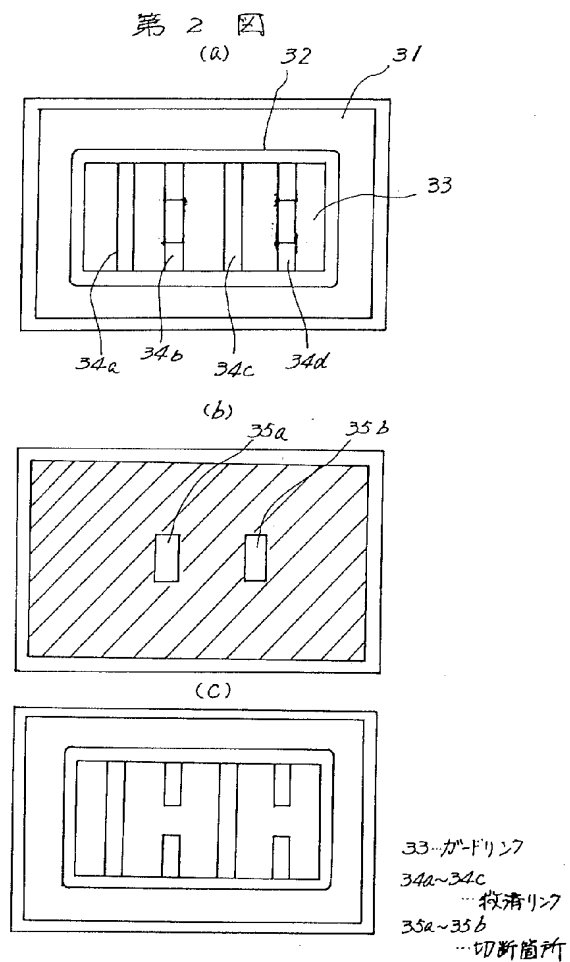
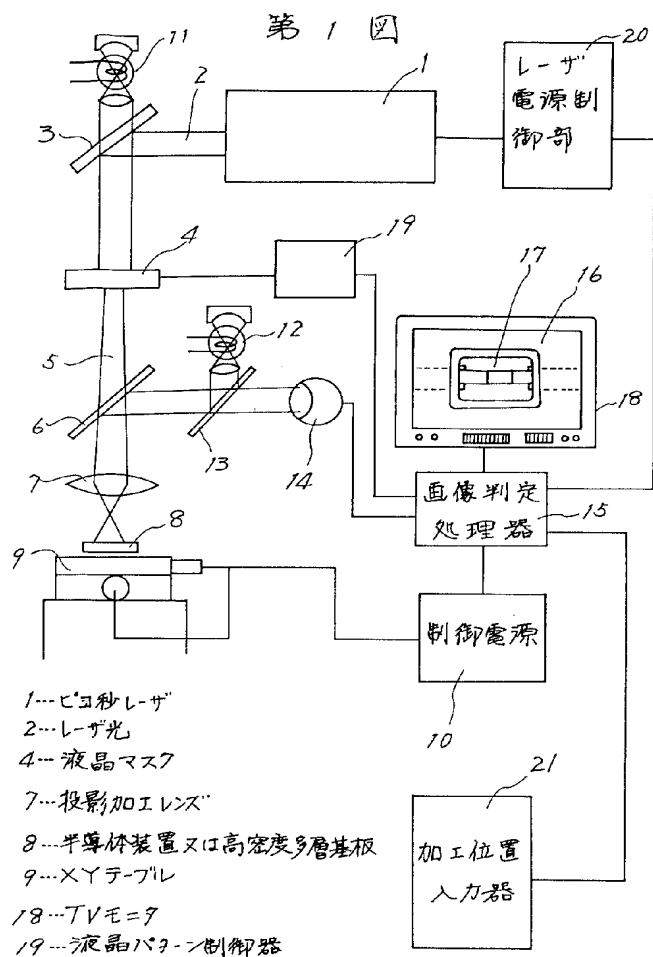
- 1…ピコ秒レーザー, 2…レーザー光,
- 4…液晶マスク, 7…投影加工レンズ,
- 8…半導体装置又は高密度多層基板(被加工物),
- 9…X Yテーブル, 10…制御電源,
- 12…物体照明ランプ, 14…撮像器,
- 15…画像判定処理器, 18…T Vモニター,

15

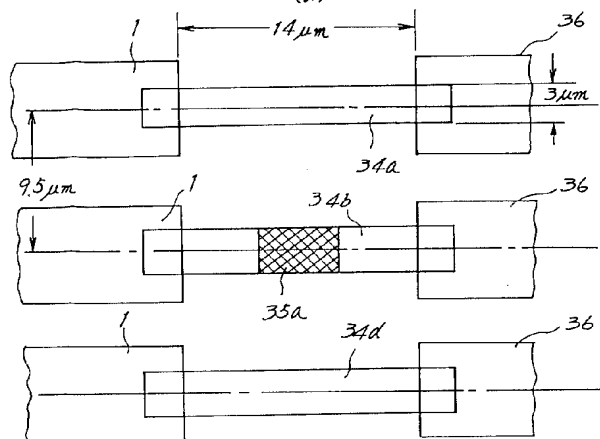
16

- 19…液晶パターン制御器, 21…加工位置入力器,
- 34…救済リンク(切換用配線), 35…投影パターン(切断箇所), 37…S i基板。

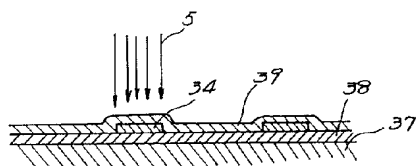




第 3 図  
(a)

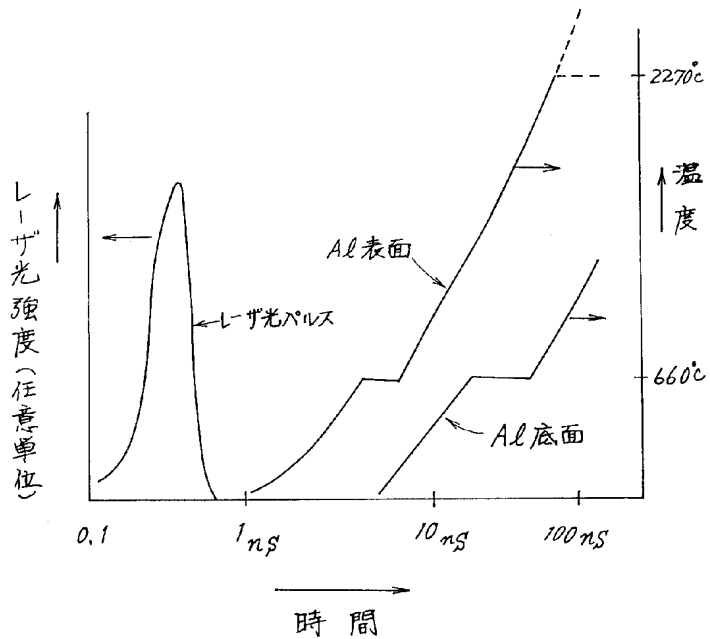


(b)

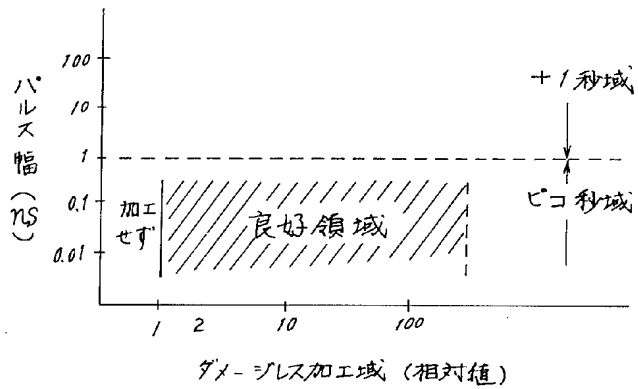


- 34a~34d... 殺青リソ (切換用配線)  
 36... Al 配線  
 37... Si 基板  
 38... 絶縁膜  
 39... 保護膜

第 4 図



第 5 図



第 1 頁の続き

②発明者 山 口 博 司 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

②発明者 森 田 光 洋 東京都小平市上水本町 5 丁目20番 1 号 株式会社日立製作所武蔵工場内